

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

'942  
(7)

MENU SEARCH INDEX

1/1

F2012



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11)Publication number: 07099195

(43)Date of publication of application: 11.04.1995

(51) Int. Cl.

H01L 21/3205  
H01L 21/3213

(21)Application number: 05240049 (71)Applicant: NEC CORP

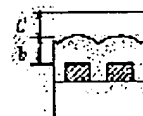
(22)Date of filing: 27.09.1993 (72)Inventor: FUKASE TADASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: To provide a global flattening method in which a difference in level due to an wirings or the like of a semiconductor device can be flattened with good efficiency.

CONSTITUTION: A layer insulating film 5 is formed on difference in level due to wiring 3, storage capacity parts 4 and the like which are formed on a silicon substrate 1. After that, a coating film 7 is coated in such a way that the whole becomes flat. Impurities are implanted, and a layer 6 into which the impurities have been implanted is formed selectively on a memory cell whose difference in level is high. The coating film 7 is stripped, and the impurity-implanted layer 6 is etched selectively by an etching method by means of vapor-phase hydrofluoric acid or the like. Thereby, the differences in level are flattened globally.



## LEGAL STATUS

|  |            |
|--|------------|
| [Date of request for examination]                      | 23.03.1994 |
| [Date of sending the examiner's decision of rejection] | 24.06.1997 |

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for  
application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

---

Copyright (C); 1998 Japanese Patent Office

**MENU**

**SEARCH**

**INDEX**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-99195

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl.<sup>6</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/3205

21/3213

H 0 1 L 21/ 88

K

C

審査請求 有 請求項の数 2 O L (全 4 頁)

(21) 出願番号 特願平5-240049

(22) 出願日 平成5年(1993)9月27日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 深瀬 匡

東京都港区芝五丁目7番1号 日本電気株式会社内

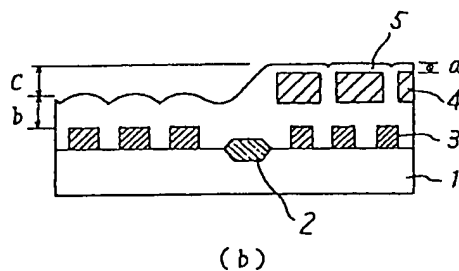
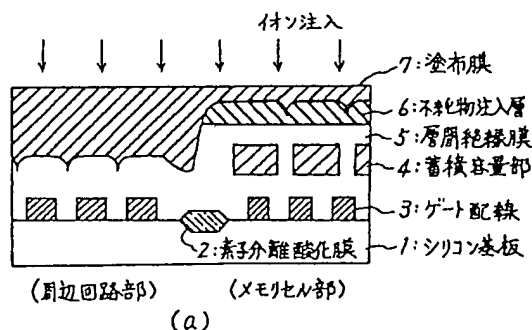
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 半導体装置の配線などによる段差を効率よく平坦にすることができるグローバル平坦化法を提供することにある。

【構成】 シリコン基板1上に形成された配線3や蓄積容量部4などによる段差上に層間絶縁膜5を形成した後、塗布膜7を全体が平坦になるよう塗布し、不純物を注入して、不純物の注入された層6を段差の高いメモリセル上に選択的に形成する。塗布膜7を剥離した後、気相フッ酸などによるエッチング方法で、不純物注入層6を選択エッチングすることでグローバル平坦化する。



1

## 【特許請求の範囲】

【請求項1】 層間絶縁膜堆積工程と、塗布膜形成工程と、不純物注入工程と、平坦化工程とを有し、層間絶縁膜の表面段差を平坦化する半導体装置の製造方法であって、

層間絶縁膜堆積工程は、半導体装置の配線上に層間絶縁膜を堆積する工程であり、

塗布膜形成工程は、層間絶縁膜上に塗布膜を塗布し、該層間絶縁膜の表面段差を平坦化する工程であり、

不純物注入工程は、塗布膜が薄い部分の層間絶縁膜中にのみ到達するようなエネルギーで不純物を注入する工程であり、

平坦化工程は、塗布膜を剥離し、不純物が注入された領域のエッチング速度が大きいエッチング方法を用いて、層間絶縁膜に注入形成された不純物注入層を選択的にエッチングし、段差を平坦化する工程であることを特徴とする半導体装置の製造方法。

【請求項2】 前記層間絶縁膜として不純物を含有しない膜を用い、不純物注入層のエッチング速度が大きいエッチング方法として、気相フッ酸による選択エッチングを用いることを特徴とする請求項1に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法に関し、特に層間絶縁膜を平坦化する方法に関する。

## 【0002】

【従来の技術】 従来、半導体装置の製造工程における段差の平坦化法としては、塗布膜を塗布しエッチングする方法、不純物をイオン注入してエッチングする方法があった。

【0003】 塗布膜を用いる方法としては、例えば、図2に示した方法がある。DRAMなどの記憶素子を例にとると、図2(a)のように、半導体基板1上に、素子分離酸化膜2、ゲート配線3、蓄積容量部4を形成すると、層間絶縁膜5に段差ができる。この段差を平坦にするため、有機シリカなどの塗布膜8を塗布し、これをウェット又はドライエッチングにより塗布膜及び層間絶縁膜の一部をエッチバックして平坦化していた。

【0004】 イオン注入を用いる方法としては、例えば、特開平4-162425号公報に記載されている方法がある。図3(a)に示すように、層間絶縁膜5を形成した後、斜めイオン注入により不純物を注入する。この際、注入の角度を適当に選べば、段差の凹部には、不純物を注入しないようにすることができる。さらに、図3(b)に示すように不純物が注入された不純物注入層6及び層間絶縁膜5の一部をドライ又はウェットエッチングによりエッチバックする。不純物が注入された層6は、注入されていない部分と比べてエッチング速度が速く、不純物の注入された層6の凸部を選択的にエッチン

2

グすることで平坦化する。

## 【0005】

【発明が解決しようとする課題】 上述した従来の方法では、以下のような問題がある。図2に示した例では、塗布膜8と層間絶縁膜5のエッチバックがチップ全体で一様に進行するため、メモリセル部の層間絶縁膜5の膜厚aと周辺回路部の層間絶縁膜5の膜厚bは常に等しく、段差cは小さくならない。また、エッチバック量の制御が困難であり、過剰にエッチングしてしまうと、蓄積容量部4やゲート配線3が露出する。さらに、塗布膜8が段差凹部のくぼみに残り、後工程でガスが発生するなどの問題もある。

【0006】 図3に示した例では、斜めイオン注入により注入域の選択を行っているため、凸部の影になる凹部には不純物が注入されないが、凸部の影にならないような段差には不純物が注入される。すなわち、チップ全体で見た場合、図2の例と同様に、メモリセル部の層間絶縁膜厚aと周辺回路部の層間絶縁膜厚bは、ほぼ等しい。したがって、これらの方法ではチップ全体にわたるグローバルな平坦化はできない。

【0007】 本発明の目的は、層間絶縁膜5のエッチバック量を制御し、効率よくグローバル平坦化できる半導体装置の製造方法を提供することにある。

## 【0008】

【課題を解決するための手段】 前記目的を達成するため、本発明に係る半導体装置の製造方法は、層間絶縁膜堆積工程と、塗布膜形成工程と、不純物注入工程と、平坦化工程とを有し、層間絶縁膜の表面段差を平坦化する半導体装置の製造方法であって、層間絶縁膜堆積工程は、半導体装置の配線上に層間絶縁膜を堆積する工程であり、塗布膜形成工程は、層間絶縁膜上に塗布膜を塗布し、該層間絶縁膜の表面段差を平坦化する工程であり、不純物注入工程は、塗布膜が薄い部分の層間絶縁膜中にのみ到達するようなエネルギーで不純物を注入する工程であり、平坦化工程は、塗布膜を剥離し、不純物が注入された領域のエッチング速度が大きいエッチング方法を用いて、層間絶縁膜に注入形成された不純物注入層を選択的にエッチングし、段差を平坦化する工程である。

【0009】 また、前記層間絶縁膜として不純物を含有しない膜を用い、不純物注入層のエッチング速度が大きいエッチング方法として、気相フッ酸による選択エッチングを用いるものである。

## 【0010】

【作用】 本発明において、層間絶縁膜のエッチングは、段差の高い部分だけに形成された不純物注入層で選択的に進行させるため、効率よく平坦化が行われる。また、層間絶縁膜のエッチング量は、不純物のドーズ量とエネルギーによって制御することができ、層間絶縁膜の過剰なエッチバックを防ぐことができる。

## 【0011】

3

【実施例】次に、本発明について図面を参照し説明する。

【0012】（実施例1）図1は、本発明の実施例1における半導体装置の平坦化法を示した断面図である。図1において、1はシリコン基板、2は素子分離酸化膜、3はゲート配線、4は蓄積容量部、5は層間絶縁膜、6は不純物が注入された層間絶縁膜、7はフォトレジストなどの有機膜を示す。

【0013】図1(a)に示したように、シリコン基板1上に形成された素子分離酸化膜2やゲート配線3や蓄積容量部4による段差上に、ボロンやリンを含有するシリコン酸化膜(BPSG膜)などの層間絶縁膜5を堆積する。BPSG膜5は、気相成長法などによる方法で堆積する。この段階では、蓄積容量部4のあるメモリセル部と蓄積容量部のない周辺回路では大きな段差が存在する。

【0014】次にフォトレジストなどの塗布膜7を層間絶縁膜5の段差が平坦になるように塗布する。塗布膜7としては、フォトレジスト膜以外にも有機シリカや無機シリカなどを用いてよい。

【0015】その後、リン、ボロン、ヒ素などの不純物を塗布膜7上から注入する。この際、塗布膜7の厚い周辺回路部では、注入された不純物が塗布膜7中で止まり、塗布膜7の薄いメモリセル部では、不純物が層間絶縁膜5にまで到達するような加速エネルギーを選択し、メモリセル部の層間絶縁膜5に不純物の注入された不純物注入層6を選択的に形成する。

【0016】塗布膜7を剥離した後、フッ酸で層間絶縁膜5をエッチングする。フッ酸によるエッチング速度は、不純物が注入されている層6の部分では速く、注入されていない部分では遅いので、メモリセル部の不純物が注入された層6と層間絶縁膜5の一部が選択的にエッチングされ、メモリセル上の層間膜厚aを周辺回路上の層間膜厚bより薄くすることが可能である。すなわち、段差cを効率的に小さくすることができる。

【0017】不純物注入層6の選択エッチング方法としては、ドライエッチングや化学機械的研磨による方法でも同様の効果がある。

【0018】（実施例2）次に本発明の実施例2を説明する。本発明の実施例2において、シリコン基板1上に素子分離酸化膜2、ゲート配線3、蓄積容量部4を形成するのは、実施例1と同様である。

【0019】実施例2では、層間絶縁膜5をボロンやリ

4

ンを含有しないノンドープシリコン酸化膜により形成する。ノンドープシリコン酸化膜は、気相成長法などで堆積する。その後、実施例1と同様の方法により塗布膜7を塗布し、リンなどの不純物を注入して、メモリセル部に不純物注入層6を選択的に形成する。

【0020】次に、不純物注入層6をエッチングする際、気相フッ酸を用いる。実施例1で用いたフッ酸溶液やドライエッチング法によるエッチングでは、不純物ドープ酸化膜のエッチング速度をノンドープ酸化膜の2〜3倍程度に大きくすることしかできないが、気相フッ酸を用いたエッチングでは、不純物ドープ酸化膜とノンドープ酸化膜とのエッチング速度が大きく違う。例えば、リンを2mol%程度含有する酸化膜は、100〜200nm/分のエッチング速度であるのに対し、ノンドープ酸化膜はほとんどエッチングされない。したがって、不純物が注入されていない領域や不純物が到達していない部分の層間絶縁膜5は、ほとんどエッチングされない。すなわち、不純物注入のエネルギーを適当に選び、不純物がゲート配線3や蓄積容量部4に到達しないようにすることで、過剰なエッチングを施しても蓄積容量部4やゲート配線3が露出することがない。

【0021】

【発明の効果】以上詳述したように本発明によれば、段差の高い部分の層間絶縁膜だけ選択的にエッチングするので、効率よく平坦化を進めることができる。また、不純物注入のドーズ量とエネルギーを制御することにより、層間絶縁膜のエッチバックを制御することができるので、過剰なエッチングで配線の絶縁不良が起こるなどの問題をなくすることができる。

【図面の簡単な説明】

【図1】本発明における実施例に係る半導体装置の製造方法を説明する断面図である。

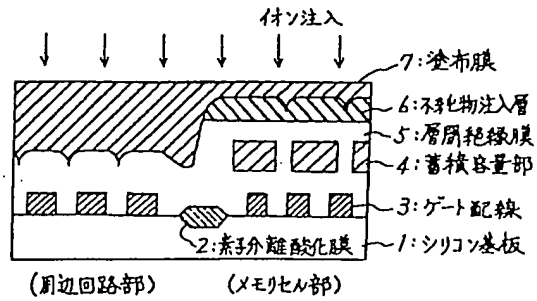
【図2】従来例を説明する断面図である。

【図3】従来例を説明する断面図である。

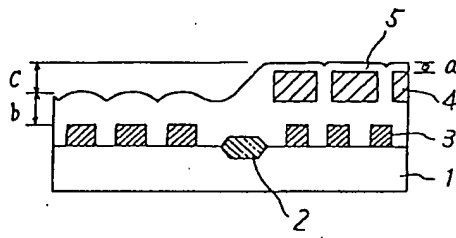
【符号の説明】

- 1 シリコン基板
- 2 素子分離酸化膜
- 3 ゲート配線
- 4 蓄積容量部
- 5 層間絶縁膜
- 6 不純物の注入された層間絶縁膜層
- 7 フォトレジストなどの塗布膜
- 8 有機シリカなどの塗布膜

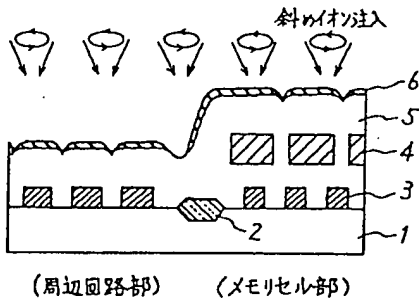
【図1】



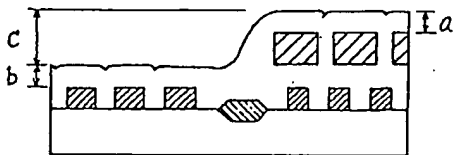
(a)



【図3】

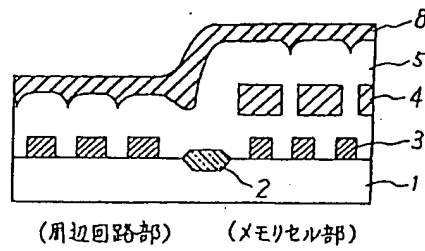


(a)



(b)

【図2】



(a)

